

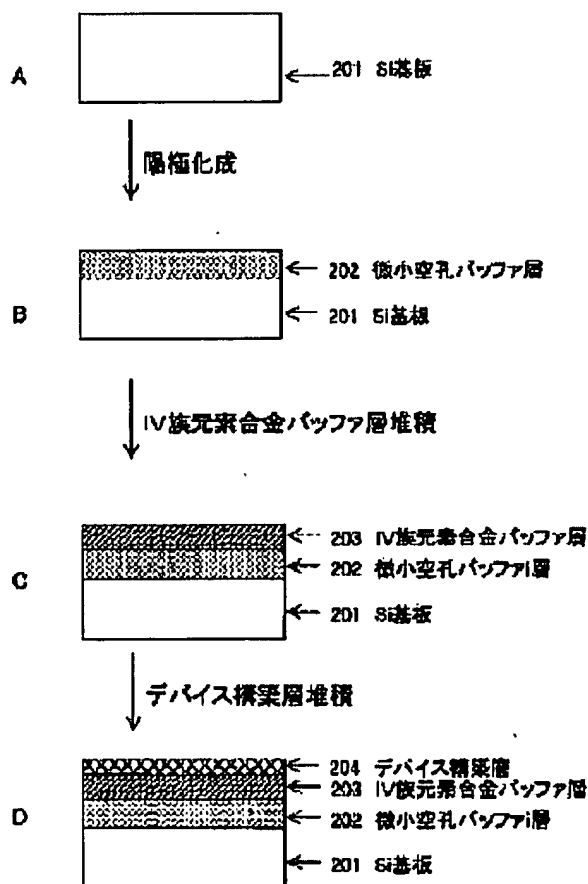
JP2003178977

Patent number: JP2003178977
Publication date: 2003-06-27
Inventor:
Applicant:
Classification:
- International: H01L21/20; H01L21/205
- european:
Application number: JP20010378317 20011212
Priority number(s): JP20010378317 20011212

Report a data error here

Abstract of JP2003178977

<P>PROBLEM TO BE SOLVED: To provide an effective structure and a method for manufacturing it in manufacturing a crystal having a lattice constant different from that of that of Si on an Si substrate. **<P>SOLUTION:** A buffer layer comprising a IV group element is formed on a porous Si, on which a crystal layer having a lattice constant different from that of an Si single crystal is deposited. **<P>COPYRIGHT:** (C)2003,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-178977

(P 2 0 0 3 - 1 7 8 9 7 7 A)

(43) 公開日 平成15年6月27日 (2003.6.27)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/20		H01L 21/20	5F045
21/205		21/205	5F052

審査請求 未請求 請求項の数11 O L (全7頁)

(21) 出願番号	特願2001-378317 (P 2001-378317)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成13年12月12日 (2001.12.12)	(72) 発明者	神澤 好彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	高木 剛 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74) 代理人	100097445 弁理士 岩橋 文雄 (外2名)

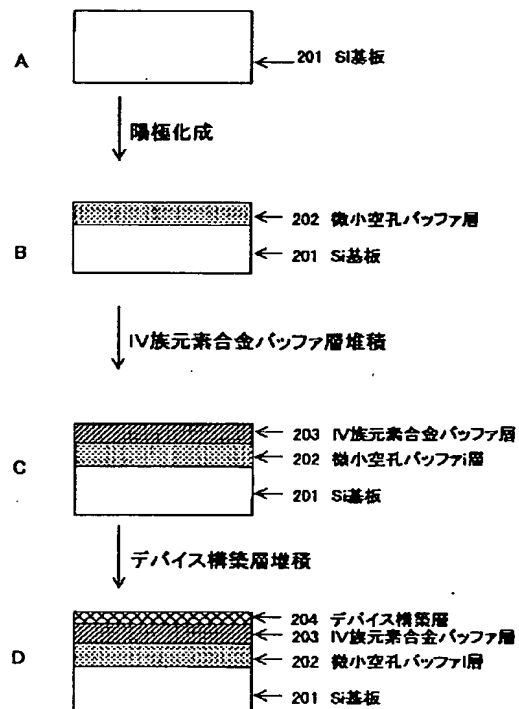
最終頁に続く

(54) 【発明の名称】 半導体結晶及びその製造方法

(57) 【要約】

【課題】 本発明は、S i 基板上にS i とは異なる格子定数を有する結晶を製造する際に効果的な構造とその製造方法を提供することを目的とする。

【解決手段】 ポーラスS i 上にI V 族元素からなるバッファ層を形成し、その上にS i 単結晶とは異なる格子定数を有する結晶層を堆積する。



【特許請求の範囲】

【請求項1】 Si基板表面の少なくとも一部分に微小空孔を有する領域があり、その上に単結晶状態の格子定数が単結晶Siとは異なる第1の結晶層が堆積され、さらにその上に第2の結晶層が堆積されており、前記第2の結晶層の基板平面方向の格子間隔が単結晶のSiとは異なることを特徴とする半導体結晶。

【請求項2】 第1の結晶層がIV族元素からなる合金半導体結晶であることを特徴とする請求項1記載の半導体結晶。

【請求項3】 第1の結晶層を構成するIV族元素からなる合金半導体結晶の組成が一定であることを特徴とする請求項2記載の半導体結晶。

【請求項4】 第1の結晶層を構成するIV族元素からなる合金半導体結晶の組成が、微小空孔を有するSi基板に接する部分と第2の結晶層に接する部分とで異なっていることを特徴とする請求項2記載の半導体結晶。

【請求項5】 第1の結晶層の少なくとも一部には、組成の異なる2種類の結晶層が1周期以上堆積された層が挿入されていることを特徴とする請求項1から4のいずれかに記載の半導体結晶。

【請求項6】 第1の結晶層はIV族元素からなる合金半導体結晶と、III族元素とV族元素からなる合金半導体で構成されていることを特徴とする請求項1記載の半導体結晶。

【請求項7】 第2の結晶層がIV族元素単体からなる半導体結晶もしくはIV族元素からなる合金半導体結晶であることを特徴とする請求項1から6のいずれかに記載の半導体結晶。

【請求項8】 第2の結晶層がIII族元素とIV族元素からなる合金半導体結晶であることを特徴とする請求項1から6のいずれかに記載の半導体結晶。

【請求項9】 請求項1から8のいずれかに記載の半導体結晶を用いた半導体デバイス。

【請求項10】 Si基板を陽極化成することによって微小空孔を有する領域を形成する工程と、前記微小空孔を有する領域の上に、単結晶状態の格子定数が単結晶Siとは異なる第1の結晶層を、化学気相堆積、分子線エビタキシー、反応性スパッタリングからなる群から選択される結晶成長技術で形成する工程と、前記第1の結晶層の上に、基板平面方向の格子間隔が単結晶のSiとは異なる第2の結晶層を、化学気相堆積、分子線エビタキシー、反応性スパッタリングからなる群から選択される結晶成長技術で形成する工程とを有する半導体結晶の製造方法。

【請求項11】 第1の結晶層の表面を平坦化する工程を有することを特徴とする請求項10記載の半導体結晶の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体結晶層の構造並びに製造方法に関する。

【0002】

【従来の技術】 近年Si基板上に、単結晶Siとは大きく異なる格子定数をもつ異種の結晶層を堆積する技術が注目されている。例えば、Si基板上にバッファ層と呼ばれる結晶層を設け、その上に歪んだSiや、Geや、GaAs等の結晶層を設け、デバイスを形成する技術がこれにあたる。このような技術が注目されているのは、安価なSi基板と高度なSiプロセスを使用して、単結晶Siだけを使用するよりも高性能な半導体デバイスが実現できるからである。また、同一の基板上で、Siデバイスとこの混載が可能になり、回路の集積度を飛躍的に向上させることもできる。

【0003】 従来このような技術は以下に詳しく述べるようなバッファ堆積技術を導入することで実現されてきた。

【0004】 まず、歪Si層は、単結晶Si基板上に厚いSi_{1-x}Ge_x結晶からなるバッファ層と呼ばれる結晶層を堆積し、その上にSiを堆積することで作製されている。Si_{1-x}Ge_x結晶はSiよりも大きな格子定数を持つ結晶であるので、基板平面内の格子点をSiに整合させた状態でSi_{1-x}Ge_x結晶を成長させると、Si_{1-x}Ge_x結晶には、非常に大きな圧縮性の歪が生じる。そして、ある一定以上の膜厚（臨界膜厚）を超えてSi_{1-x}Ge_x結晶を堆積すると、Si基板と、Si_{1-x}Ge_x層の間に転位が発生し、歪が緩和する。その結果、Si_{1-x}Ge_xの基板平面内の格子間隔はバルクSi結晶基板の格子間隔よりも大きくなる（この状態を緩和した状態と言う）。そしてこの緩和したSi_{1-x}Ge_x結晶バッファ層の上にSi結晶層をエビタキシャルに堆積すると、Si結晶層の平面方向の格子間隔は、Si_{1-x}Ge_x結晶の格子間隔と一致し、引っ張り応力を受ける形になり、歪Siが作製できる（なお、以下では、上記のSi_{1-x}Ge_x結晶のように、格子緩和を起こし、単結晶Siよりも大きな格子間隔をもつ結晶層のことを、緩和バッファ層と呼ぶ）。

【0005】 また、Ge層を形成する場合も製造方法は、基本的に歪Siと同じである。Ge結晶はSi単結晶よりも4%も格子定数が大きく、欠陥の少ないGe結晶を単結晶Si基板上に直接堆積することはできない。そこで、ここでも緩和バッファ層をSi基板とGe層の間に挿入した構造を取り、製造する。すなわち、Si基板上にSi_{1-x}Ge_x緩和バッファ層を堆積し、Ge結晶に近い格子定数からなる下地を用意した後に、Ge結晶層を堆積するのである。

【0006】 ここで、図1Aを参照して、もう少し詳しく従来の歪Si結晶や、Ge結晶をSiウエハ上に製造するための構造について説明する。まず、単結晶Si基板上101上に臨界膜厚を超える厚い緩和バッファ層1

03としてSi_{1-x}Ge_x結晶層を成長する。すると、上述のようにSi基板101とSi_{1-x}Ge_x結晶層103の間には転位102が発生し、Si_{1-x}Ge_x結晶は緩和する。そしてこの上に結晶層104として、Si結晶を堆積すれば歪Si層になり、Ge結晶を堆積すればGe層となるのである。

【0007】しかしながら、上記のような単に臨界膜厚より厚いSi_{1-x}Ge_xによる緩和バッファ層では、図1の105に模式的に示したように貫通転位と呼ばれる大きな欠陥の発生することが知られている。そして状況によつては、この貫通転移が結晶層104の中にまで入り込み、結晶層104の結晶性が劣化する。当然、このような欠陥は、デバイス特性の向上を妨げる要因となるため、できるだけ避けなければならない。

【0008】そこで、貫通転位の密度を低減する構造として、Si_{1-x}Ge_x結晶中のGe濃度を階段的、もしくは傾斜的に変化させた構造や、低温でバッファを堆積する方法が良く用いられているが、いずれの場合も転位密度を下げるには、数μm程度かそれ以上のかかなり厚いSi_{1-x}Ge_x結晶を堆積する必要がある。当然ながら、この厚い緩和バッファ層の製造には、長時間の結晶成長が必要であり、結晶原料も大量に消費する。そのため基板製造の低コスト化は難しくなる。Si基板上の歪Si層やGe層を使ったデバイスを実用化するには、できるだけ簡便にそして安価に緩和バッファ層を作製する技術が必要となる。

【0009】次にGaAs層をSi上に形成する場合の従来例について説明する。GaAsはGeとほぼ同じ格子定数を持っており、Siとは4%の格子定数の違いがある。そのため、Si上に直接高品質のGaAsを堆積することは難しい。そこで、(001)面以外の面指数を持つSi基板を用いたり、Al_{1-x}Ga_xPやIn_{1-x}Ga_xAsとGaAsの超格子構造をバッファとして用いる試みがなされている。

【0010】

【発明が解決しようとする課題】しかし、現状では依然としてGaAs結晶部には、欠陥が多く、実際に高性能デバイスを作製できる水準には達していない。Si単結晶基板に直接化合物半導体を堆積する以外には、Si基板表面を陽極化成して作製したポーラスSi層をバッファの一部として用いた場合についても報告されている。図1Bは、このような従来例を説明するための図である。

【0011】つまり、Si基板101表面付近を陽極化成し、ポーラスSi層106を形成する。その上に、化学気相堆積法によって薄いSi層107を堆積する。その後、GaAs層108を堆積するのである。この例では、ポーラスSi層106がスポンジ状になっているため、歪をうまく緩和し、かなり良質のGaAs層が得られるとされている。しかし、いくらポーラスSi層を下

地に用いても、基本的にGaAsと格子定数の大きく異なるSiがGaAsと直接接している状態にあるので、欠陥の発生は避けられない。また、従来、Si層は1000℃程度の高温で成長されている。このような高温で成長すると、基板を常温に下げた場合に、ポーラスSi層とSi層に欠陥が発生しやすくなる。

【0012】さらに、ポーラスSi層103には凹凸があるため、Si層107の成長条件によっては、平坦性が悪くなってしまうという欠点がある。ある程度の平坦性をえるため、Si層107の膜厚を厚くすると、当然ながら、Si層は単結晶Siに性質が近づく（すなわち薄いSi層のときのような柔軟性がなくなる）。すると、結果的には、Si基板上に直接GaAsを堆積した場合と良く似た状況になり、欠陥が発生する。

【0013】

【課題を解決するための手段】GaAsをSi上に堆積する場合、ポーラスSiと比較的相性の良いGaAsに格子定数が近い結晶をバッファ層として用いるのが望ましい。また、低温で堆積可能な結晶層をバッファとして使用するのが望ましい。

【0014】そこで、本発明では、Si基板上に形成されたポーラスSi上にIV族元素合金半導体結晶からなるバッファ層を形成し、その上に結晶層を堆積することによって、Si基板上にバルクSiとは異なる性質を持つ高品質の結晶層を形成する。

【0015】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態を説明する。

【0016】（第1の実施の形態）本発明の第1の実施の形態として、図2を参照しながら、Si基板上に歪Si層を形成する場合について述べる。

【0017】単結晶Si基板201を用意し、表面近傍に微小空孔を有するバッファ層の成長を行う。ここでは、微小空孔バッファ層202としてポーラスSiを用いる場合について述べる。

【0018】p型のSi基板201を、例えば、フッ酸溶液とアルコール溶液の入った槽中に浸し、30mA/cm²程度の電流を流して陽極化成する。すると基板表面近傍にスポンジ状になった微小空孔バッファ層202としてポーラスSi層が形成される。

【0019】次に、IV族元素合金バッファ層203としてSi_{1-x}Ge_x結晶の堆積を行なう。ここでは超高真空化学気相堆積（UHV-CVD）という手法を使う場合について説明する。微小空孔バッファ層202が形成されたSi基板をUHV-CVD装置内に導入後、一旦、結晶成長室を2×10⁻³Torr（1Torr=133.322Pa）程度に排気する。そして基板を900℃に加熱し、10分程度放置する。これにより、基板の清浄化が行われる。

【0020】そして、基板の温度を550℃に低下さ

せ、Siの原料である Si_2H_6 ガスを 7×10^{-4} Torr、Geの原料である GeH_4 を 3.1×10^{-4} Torrになるように調整して結晶成長室に導入する。この状態で、約15分間結晶成長を行なうと、微小空孔バッファ層202上に、IV族元素合金バッファ層203としてGe濃度30%の $\text{Si}_{1-x}\text{Ge}_x$ 結晶が300nm成長する。その後、 GeH_4 の供給を停止し、 Si_2H_6 ガスだけを 7×10^{-4} Torrに調整して結晶成長装置に供給し、10分間結晶成長を行なう。これにより、デバイス構築層304として歪Si層が30nm程度堆積される。

【0021】一般に、 $\text{Si}_{1-x}\text{Ge}_x$ 結晶はSi単結晶に比べて大きな格子定数を有する。それ故、Si単結晶上に $\text{Si}_{1-x}\text{Ge}_x$ 結晶を直接エピタキシャル成長堆積すると、 $\text{Si}_{1-x}\text{Ge}_x$ 結晶には非常に大きな圧縮応力がかかり、基板平面方向はSiと格子整合した状態になる。

【0022】しかし、上記の例で微小空孔バッファ層として用いたポーラスSi層はスポンジ状の孔が空いた比較的しなやかな構造であり、この上に格子定数がSiよりも大きな $\text{Si}_{1-x}\text{Ge}_x$ 層を堆積しても、 $\text{Si}_{1-x}\text{Ge}_x$ 層自体はほとんど歪まない。

【0023】つまり、 $\text{Si}_{1-x}\text{Ge}_x$ 層は緩和した状態になり、逆に、ポーラスSi層が $\text{Si}_{1-x}\text{Ge}_x$ によって広げられたような状態になる。このような作用により、薄い $\text{Si}_{1-x}\text{Ge}_x$ バッファ層を堆積だけで、Siよりも基板平面方向の格子定数がSi単結晶よりも大きな基板が形成できる。このような基板の上にSiを堆積すれば、Siは基板平面方向に引っ張られ、歪Si層となる。

【0024】例えば上記の実施の形態の場合、 $\text{Si}_{1-x}\text{Ge}_x$ 層が完全に緩和していると仮定すると、Ge濃度が30%の $\text{Si}_{1-x}\text{Ge}_x$ の格子定数は 0.5493nm 、単結晶Siの格子定数は 0.5431nm であるので、Siは1.1%程度歪んだ状態になる。

【0025】このような方法で作製した歪Siを使って、例えば、電界効果トランジスタを製造すると、単結晶Siよりも高速で動作するデバイスが実現できる。

【0026】(第2の実施の形態)本発明の第2の実施の形態として、図3を参照しながら、Si基板上にGaAs層を形成する場合について述べる。

【0027】単結晶Si基板301を用意し、表面近傍に微小空孔を有するバッファ層の成長を行う。ここでも、微小空孔バッファ層302としてポーラスSiを用いる場合について述べる。

【0028】p型のSi基板301を、例えば、フッ酸溶液とアルコール溶液の入った槽中に浸し、 $30\text{mA}/\text{cm}^2$ 程度の電流を流して陽極化成する。すると基板表面近傍にスポンジ状になった微小空孔バッファ層302としてポーラスSi層が形成される。

【0029】次に、IV族元素合金バッファ層303として組成 $\text{Si}_{1-x}\text{Ge}_x$ 結晶の堆積を行なう。ここではU

HV-CVDを用い、組成を変化させた $\text{Si}_{1-x}\text{Ge}_x$ 結晶をIV族元素合金バッファ層として用いる場合について述べる。まず、微小空孔バッファ層302が形成されたSi基板をUHV-CVD装置内に導入後、一旦、結晶成長室を 2×10^{-3} Torr程度に排気する。そして基板を 900°C 10分程度加熱する。これにより、基板の清浄化が行われる。

【0030】そして、基板の温度を 550°C に低下させ、Siの原料である Si_2H_6 ガスを 7×10^{-4} Torr結晶成長室に導入してSi層を5分程度まず堆積する。そして、Geの原料である GeH_4 を徐々に添加する。 GeH_4 は、0 Torrから 1.2×10^{-3} Torrまで15分かけて上昇させ、さらに5分間保持する。これにより、微小空孔バッファ層302上に、IV族元素合金バッファ層303としてGe濃度が0%から80%まで連続的に変化した $\text{Si}_{1-x}\text{Ge}_x$ 結晶が300nm、Ge濃度が80%の $\text{Si}_{1-x}\text{Ge}_x$ 結晶が成長する。

【0031】本実施例のように、Ge濃度が非常に高い場合、IV族元素合金バッファ層303の表面モフォロジーが悪くなる場合がある(図3C)。そこで、図3Cのような表面モフォロジーの悪い結晶を化学機械研磨(Chemical Mechanical Polishing: CMP)処理によって研磨する。これにより平坦な表面を容易に得ることができる(図3D)。

【0032】次に、図3Dの状態の基板上にデバイス構築層304としてGaAs結晶層の堆積を行う。ここでは、有機金属化学気相成長(MOCVD)によってGaAs層を成長する場合を説明する。図3Dの状態の基板をMOCVD装置の結晶成長室に導入し、例えば、基板を 700°C 程度に加熱する。そして、トリエチルガリウム($\text{Ga}(\text{C}_2\text{H}_5)_3$)とアルシン(AsH_3)をキャリアガスとともに成長装置に100 Torr程度の圧力になるようにして結晶成長室導入する。すると、約1分程度で $1\mu\text{m}$ 程度のGaAs層を堆積できる。

【0033】図3Dの状態、IV族元素合金バッファ層303の最上面はGe濃度が80%になっており、格子定数はGeに非常に近い状態になっている。通常、このような結晶を単結晶Si上に直に堆積すると、高い密度で貫通転移が発生する。しかしながら本実施例では、微小空孔バッファ層302としてポーラスSiを下地に用いており、このポーラスSiが $\text{Si}_{1-x}\text{Ge}_x$ 結晶層の応力をうまく緩和し、欠陥が入りにくい状態になっている。

【0034】また、 $\text{Si}_{1-x}\text{Ge}_x$ 結晶は、通常のSi結晶の成長温度よりもかなり低い温度で成長できる(低温でも成長速度が速い)。従って、熱膨張係数の違いによる欠陥の発生も抑制でき、欠陥の発生を最小限に抑えることができる。

【0035】以上のような理由によって、欠陥の少ない80%程度のGeを含有する $\text{Si}_{1-x}\text{Ge}_x$ 結晶を表面に

有するバッファ層が形成されるのである。一方でGaAsの格子定数は、Geの格子定数とほぼ等しく、今回用意した80%程度のGeを含有する $Si_{1-x}Ge_x$ 結晶と格子定数はほぼ等しい。よって、IV族元素合金バッファ層303の上に欠陥の少ないGaAsが容易にエピタキシャルに成長するのである。

【0036】なお、上記の実施の形態では、微小空孔バッファ層として、陽極化成法を用いて形成したポーラスSiを用いたが、これ以外にドライエッチング等の方法によっても類似の微小空孔を有する構造を形成可能である。この微小空孔は、Siウエハの全面に形成してもよいし、一部分に形成しても良い。またIV族元素合金バッファ層として一定組成の $Si_{1-x}Ge_x$ を用いたが、これ以外の組成の結晶及び堆積構造でも同様の機能をもつバッファ層を形成可能である（詳しくは後述する）。

【0037】また、デバイス構築層としては、Si結晶以外に、 $Si_{1-x}Ge_x$ や $Si_{1-x}Ge_xC$ 、及び $Si_{1-x}C$ 、 $Ge_{1-x}C$ 結晶等のIV族合金半導体、そして、GaAs、InP等のIII族とV族の合金半導体結晶の堆積も可能である。例えば、 $Si_{1-x}Ge_x$ 結晶

バッファ層上に、デバイス構築層として、同様の濃度の $Si_{1-x}Ge_x$ 結晶を堆積した場合、バッファ層とデバイス構築層の明確な違いは生じないが、このような構造も本発明の応用によって作製可能である。

【0038】すなわち、本発明の本質は、応力に対して柔軟に変化する微小空孔を有するSi層と、組成によって格子定数を自在に変化できるIV族元素合金を組み合わせ、Cの格子定数である0.567nmからGeの格子定数である0.568nmまで様々な格子定数を持つ基板を提供できる点にある。

【0039】また上記の実施の形態ではバッファ層、デバイス構築層のいずれもUHV-CVD法を用いて形成したが、これ以外にも、減圧CVD法や、分子線エピタキシー、反応性スパッタリング法等を用いてもこれらの結晶層を堆積することは可能である。

【0040】上記では、本発明の最も単純な実施の形態である一定組成のバッファ層を使用する場合について述べた。これ以外にも、IV族元素の組成や、堆積結晶の構造を変えることで様々な実施の形態が存在する。その例を図4に示した。

【0041】図4Aは、第1の実施の形態で説明した、微小空孔バッファ層401の上に一定組成のIV族元素合金バッファ層402を堆積した構造である。ここで、IV族元素合金バッファ層402としては $Si_{1-x}Ge_x$ 以外に、 $Si_{1-x}Ge_xC$ 結晶、 $Si_{1-x}C$ 結晶等がある。なお、 $Si_{1-x}Ge_x$ および $x>y$ の組成範囲の $Si_{1-x}Ge_xC$ では、Siよりも格子定数の大きな基板が形成でき、 $x<y$ の組成範囲の $Si_{1-x}Ge_xC$ 、及び $Si_{1-x}C$ 結晶を用いた場合にはSiよりも格子定数の小さな基板が形成できる。

【0042】図4Bは、微小空孔バッファ層401上に組成を徐々に変化したIV族元素合金バッファ層403を堆積した構造について示している。例えば、 $Si_{1-x}Ge_x$ をもちいる場合、Ge組成をIV族元素合金バッファ層403の下部から上部に向かって大きくして行った場合、IV族元素合金バッファ層の上部ほどSiよりも大きな格子定数になる。組成変化の手法としては、連続的に変化させる方法でも、階段状に変化させる方法でも良い。このような構造は、IV族元素合金バッファ層上に形成するデバイス構築層の格子定数がSiよりも著しく大きな場合（例えばGeやGaAs）に有効であると考えられる。この傾斜組成 $Si_{1-x}Ge_x$ 結晶と同様の構造は、 $Si_{1-x}Ge_xC$ を用いても形成できる。また逆に、IV族元素合金バッファ層上部ほどSiよりも小さな格子定数を持つような構造も形成できる。この場合は、バッファ層として $Si_{1-x}Ge_xC$ 、及び $Si_{1-x}C$ 結晶を用いれば良い。また、上記の実施の形態2でも述べたが、図4Cに示したような傾斜組成バッファ層と単一組成バッファ層を組み合わせた構造でもよい。

【0043】図4Dは、微小空孔バッファ層401上に、超格子構造を有するIV族元素合金バッファ層403を堆積した構造の模式図を示している。超格子構造としては、Siと $Si_{1-x}Ge_x$ と $Si_{1-x}Ge_xC$ と $Si_{1-x}C$ と $Ge_{1-x}C$ からなる群から2種類ないし3種類の結晶を選び、これらの結晶層を1周期以上、交互に堆積した層が考えられる。このような超格子構造では、ポーラスSi層から貫通転移の伝播を抑制する働きがあり、バッファ層の上に堆積するデバイス構築層の品質を高めることができる可能性がある。なおIV族元素合金バッファ層403の全域を超格子構造で構成する必要はなく、一部を超格子構造にするだけでもよい。

【0044】図4Eは、微小空孔バッファ層401上にIV族元素合金バッファ層405を堆積し、その上にIII族とV族の元素から成る合金バッファ層406を堆積した場合を示している。この構造は、デバイス構築層としてIII族とV族の元素から成る合金を用いる場合に有効な構造である。なお、この場合、IV族元素合金バッファ層405は、一定の組成でも、傾斜組成でも良い。また、III族とV族の元素から成る合金バッファ層406も、一定の組成でもよいし、傾斜組成でも良い。

【0045】

【発明の効果】本発明によれば、Si基板上にSiとは異なる格子定数を有する結晶を製造する際に効果的な構造とその製造方法を提供することができる。

【図面の簡単な説明】

【図1】従来の技術を説明するための図

【図2】第一の実施の形態を説明する図

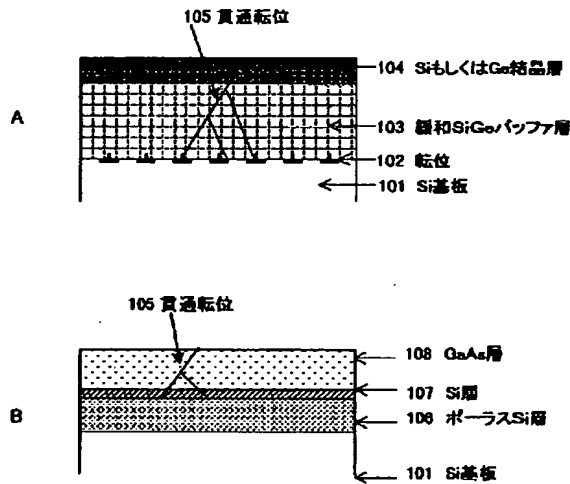
【図3】第二の実施の形態を説明する図

【図4】バッファ層の構成例を模式的に示した図

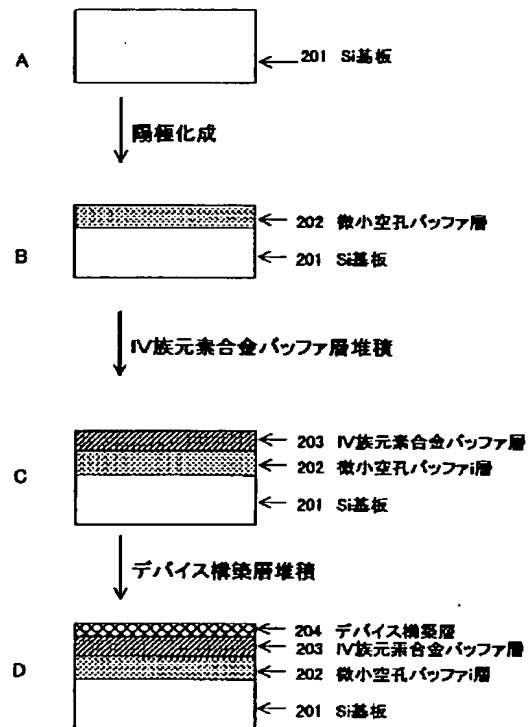
【符号の説明】

- 101 Si基板
 102 転移
 103 緩和Si_{1-x}Ge_xバッファ層
 104 SiもしくはGe結晶層
 105 貫通転移
 106 ポーラスSi層
 107 Si層
 108 GaAs層
 201 Si基板
 202 微小空孔バッファ層
 203 IV族元素合金バッファ層

【図1】

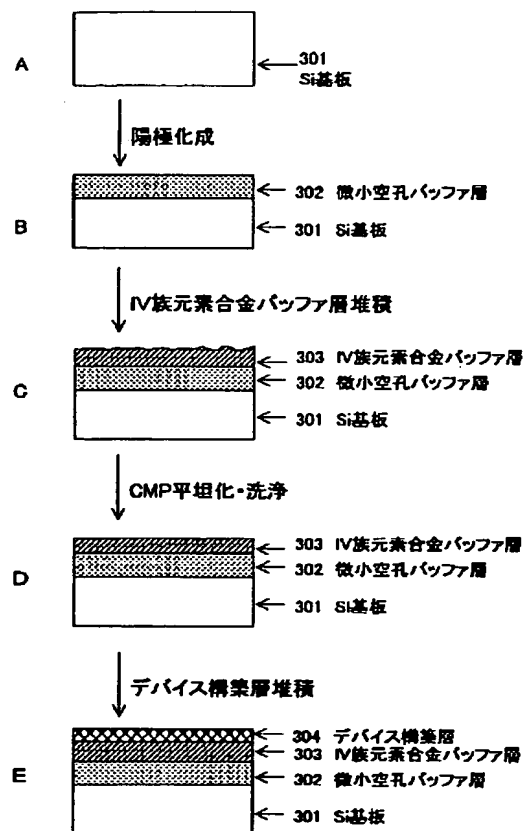


【図2】

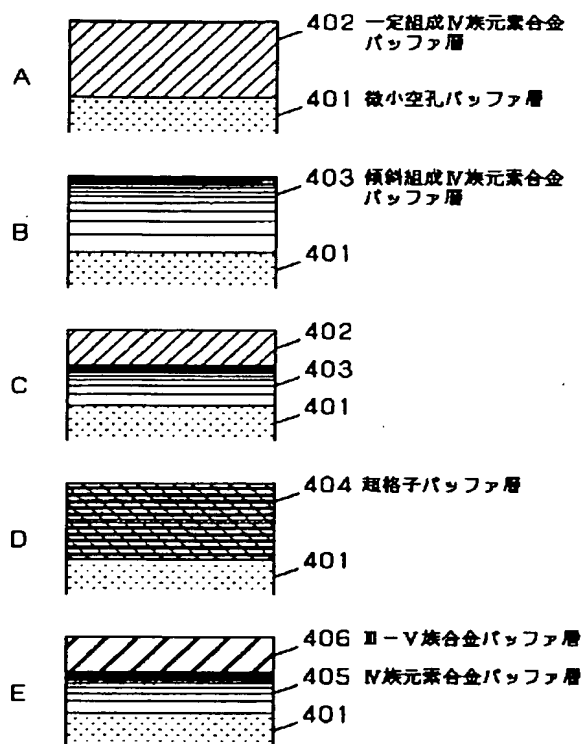


- 204 デバイス構築層
 301 Si基板
 302 微小空孔バッファ層
 303 IV族元素合金バッファ層
 304 デバイス構築層
 401 微小空孔バッファ
 402 一定組成IV族元素合金バッファ層
 403 傾斜組成IV族元素合金バッファ層
 404 超格子バッファ層
 10 405 IV族元素合金バッファ層
 406 III-V族合金バッファ層

【図 3】



【図 4】



フロントページの続き

(72)発明者 浅井 明
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 大西 照人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5F045 AA07 AB01 AC01 AD09 AE11
AE13 DA57 HA04
5F052 DA01 DA04 JA01 KA01 KA05